

BEST AVAILABLE COPY

特開 昭51-36215の

以下図面を参照して本発明の実施例を説明する。第1図は合流型変換器されたフライング型変換器を一定速度に駆動し、前後する変換器間で主変換方向に同一タイミングとなる両側信号の発生をとり、この両側信号で上記変換する変換器間を制御するようにしたフライング型変換器の要部を示すブロック図である。同図においてA、B、Cはそれぞれ一定速度の両側信号を駆動するラインメモリであり、これらラインメモリA、B、Cへは切替器1、2、3を介してそれぞれ2番目、3番目、4番目の主変換信号が供給されるものとなっている。

そして各ラインメモリA、B、Cは各信号の遅延を他の2つのラインメモリが供給する主変換信号を遅延している間に遅延速度の1倍の速度で出力すると共に切替器1、2、3を介して逐次的に遅延信号のものをとっている。

従つて一つのラインメモリは一定速度遅延に対し、期間で遅延動作をし、供給する周

期はTの間に1倍の速度で遅延動作を行なうこととなる。

そのため各ラインメモリA、B、Cへは切替器1、2、3を介して逐次的に2つのクロック信号CP、およびCP'が供給される。ここでCP、の周波数をCP'、に同じ速度に定めておく。

アンド回路7、8、9はそれぞれラインメモリAおよびB、ラインメモリBおよびC、ラインメモリCおよびAに記憶された本の変換信号を主変換方向に同一タイミングとなるように供給するものである。選択回路10はラインメモリA、B、Cの出力およびアンド回路7、8、9の出力を所定の時間パターンに従つて逐次的に出力し、遅延された遅延信号へ供給するものである。

尚、切替器1、2、3および切替器4、5、6は第2図(a)(b)に示す制御信号1、2、3が供給されるようにしている。

上記のように構成された装置の動作を第2図

第2図を参照して説明する。

まず制御信号1に依り切替器1および2を切替えて遅延するクロック信号CP、で2番目の主変換信号A、をラインメモリAに記憶し、そして供給する期間中に切替器1および2を切替えて、クロック信号CP'、で信号A、をも同ラインメモリA内で逐次的に遅延し、4番目の遅延動作を行なう。そしてこの遅延終了後にCP'に依り2番目の主変換信号に依り内容で遅延する。

この間に、つぎラインメモリBが前同様に記憶内容を遅延している間に、その遅延した前中で遅延信号に依りラインメモリBに3番目の主変換信号B、が、また前同様に遅延する間に遅延信号に依りラインメモリCに4番目の主変換信号C、が記憶されている、そしてラインメモリB、Cに記憶された情報はラインメモリAと同様にクロック信号CP、で4回遅延される。

従つて第2図に示すように、各ラインメモリ

A、B、Cの出力は逐次的に遅延する間にそれぞれ同一内容の信号をT/3周期で逐次的に遅延したものとされる。そのため例えばラインメモリAの内容とラインメモリBの内容とはラインメモリAの遅延期間Tの前半とラインメモリBの遅延期間Tの前半にアンド回路7で遅延される。

そこで選択回路10により周波数T/3で逐次ラインメモリAの出力、アンド回路7の出力、ラインメモリBの出力という順序で信号を抽出し、第2図(b)に示すように時系列に配列して遅延信号へ供給する。

このことにより第2図(b)に示すように前後する3本の主変換信号は2番目および3番目の間の遅延部分には、上記主変換信号A、およびB、の遅延部分であるA、×1、なる信号が記録される。

ことに記憶されたA、×1、なる信号は一方の主変換信号A、の本来の、それと遅延関係にある他方の主変換信号B、をも考慮したもの

であるから再生された画像は自然さを保ち且つ
ステレオ視感のない品質の良好なるものとなる。

尚、上記実施例におけるアンダゲートアーク、
リニアゲートとすれば本発明の発明範囲を、
および、からA、+B、なる信号を得ること
が、これにおいて二本の走査線間を走査し
ば第8図(d)に示すように記録画素を増加させる
ことができる。

また上記実施例では二本の走査線間に物理的
もしくは論理的な差づく信号を1図記録する場合
につき例示したが、両図間の信号の相違を
フランク信号の周波数を倍増する期間のフランク信
号に比し2倍、4倍とすることにより記録画素を
2倍、4倍と増加させることができる。

さらに前記する二本の走査線間で走査方
向に同一タイミングとなる単一の画素信号の出
現ばかりでなく、複数の画素信号間を逐次
的に比較し、その比較結果に基づいてその間に記
録すべき信号を決定することも可能である。

4. 図面の簡単な説明

第1図は本発明の一実施例を説明するために
用いたフランクシグナル受信装置の要部を示すブ
ロック図、第2図は上記受信装置の動作を説明す
るための信号波形図、第3図は再生された画像
の一例を示す図である。

A、B、C—ラインメモリ、D—選択回路、
1〜6—切換器、7、8、9—アンド回路。

出願人代理人 弁理士 鈴木 武 彦

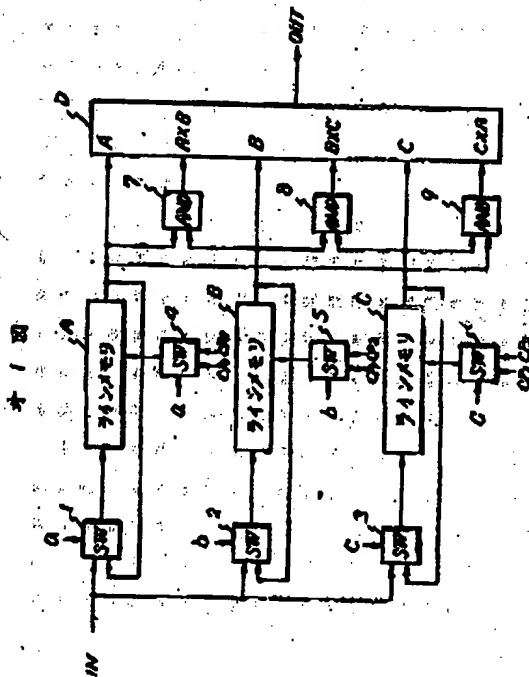


図 1

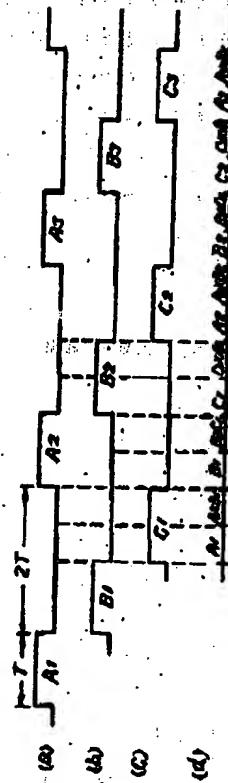


図 2

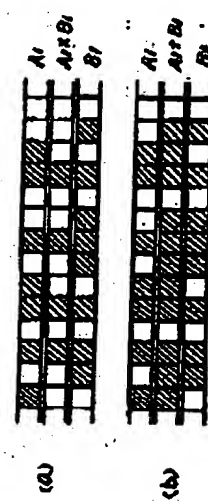


図 3



特開 昭51-35215 (4)

5. 添付書類の目録

- | | |
|-----------|----|
| (1) 委任状 | 1通 |
| (2) 特許出願書 | 1通 |
| (3) 図面 | 1通 |
| (4) 願書副本 | 1通 |

6. 前記以外の発明者、特許出願人または代理人

(1) 発 明 者

東京都品川区小田原町1番地
東京芝浦電気株式会社総合研究所内
東京都目黒区山手町1番地の1
東京芝浦電気株式会社目黒工場内
高 見 泰 彦

(2) 代 理 人

住所	東京都港区芝西久条山手町2番地 第17棟ビル	雄三郎
氏名 (5743)	弁護士 三 木 武 雄	三木武雄
住所	同 所	三木武雄
氏名 (5884)	弁護士 小 宮 幸 一	小宮幸一
住所	同 所	小宮幸一
氏名 (5881)	弁護士 坪 井 淳 一	坪井淳一
住所	同 所	坪井淳一
氏名 (7043)	弁護士 河 井 将 次	河井将次

Partial Translation of JP-A 51-35215

Part A (Page 1)

2. WHAT IS CLAIMED IS:

A facsimile receiving system in which an AND operation or an OR operation is implemented on every binarized pixel signal having the same timing in a main scan direction in two adjacent scan lines, and a recording is carried out in a gap portion between the two scan lines based on these calculated values.

Part B (Page 2)

With reference to drawings, examples of the inventions will be described hereinbelow. Fig. 1 is a block diagram showing a substantial part of a facsimile receiving apparatus in which a black-and-white binarized facsimile pixel signal is stored on every one scan line, and an AND operation of the pixel signal having the same timing in a main scan direction between the adjacent scan lines is implemented, and this AND operation signal is filled between the adjacent scan lines. In this figure, each of A, B, and C is a line memory for storing the pixel signal for one scan line. In these line memories A, B, and C, scan line information on a-th, (a+1)th, and (a+2)th times are written via switching devices 1, 2, and 3, respectively.

Subsequently, each of the line memories A, B, and C reads out the written information at a speed twice as high as a writing speed while the other two line memories write the scan line information of the following 2 lines, and writes the scan line information circularly via the switching devices 1, 2, and 3.

Accordingly, one line memory carries out a writing operation for a term T, and four reading operations at a double speed for the following term 2T.

As a result, two clock signals CP_1 and CP_2 are selectively supplied to each of the line memories A, B, and C via switching devices 4, 5, and 6. Here, a frequency of CP_2 is set twice as large as that of CP_1 .

AND circuits 7, 8, and 9 perform operations respectively so that scan line information of two lines stored in the line memories A and B, the line memories B and C, and the line memories C and A have the same timing in the main scan direction. Selection circuit D selectively extracts outputs of the line memories A, B, and C, and outputs of the AND circuits 7, 8, and 9 in accordance with a predetermined time pattern, and supplies them to recording means (not shown).

Note that control signals a, b, and c which are shown by (a), (b), and (c) in Fig. 2 are supplied to the switching devices 1, 2, and 3, and the switching devices 4, 5, and 6.